



UNIVERSITÀ DEGLI STUDI
DI MODENA E REGGIO EMILIA

Università di Modena e Reggio Emilia
Dipartimento di Ingegneria “Enzo Ferrari”

Design and Implementation of a Wideband Channel Sounder for Low-Voltage Powerlines

Ing. Fabio Gianaroli

Prof. Fabrizio Pancaldi

Prof. Giorgio Matteo Vitetta

Torino, 13-09-2013



www.commlab.unimo.it

Agenda

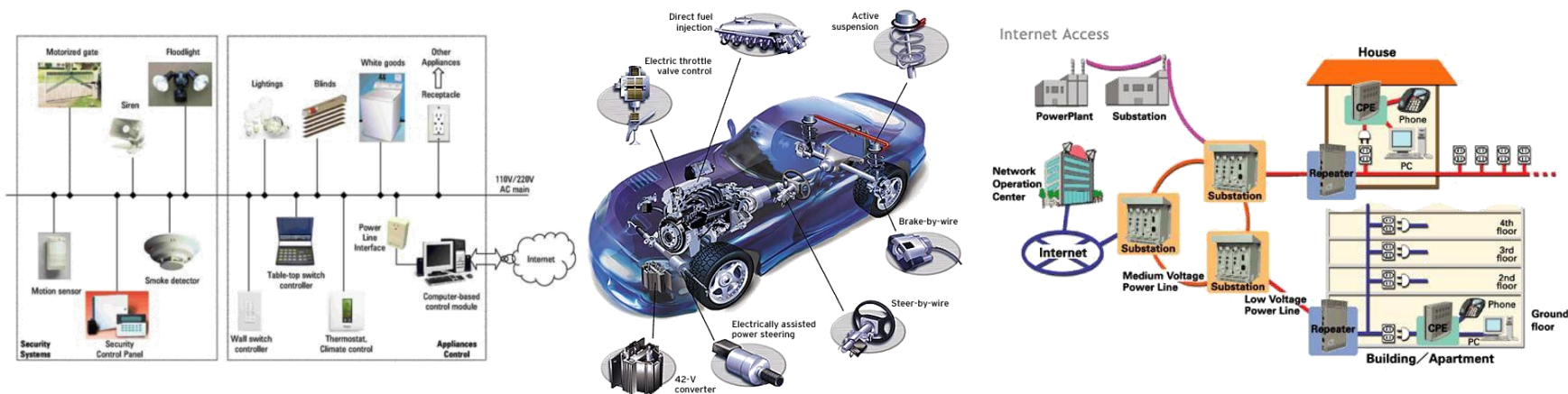
- Comunicazioni ad onde convogliate (powerline communications)
- Obiettivi del progetto
- Vincoli di progetto
- Scelta della piattaforma FPGA Stratix III
- Architettura del sistema
- Risultati sperimentali
- Conclusioni
- Pubblicazioni



Powerline Communications

Le tecniche di comunicazione ad onde convogliate (*powerLine communications*, PLC) sfruttano un supporto fisico dedicato al trasporto di un segnale di potenza per la trasmissione dati.

La tecnologia PLC rappresenta una grande opportunità per sviluppare sistemi di comunicazione a basso costo all'interno degli edifici, sfruttando, ad esempio, l'impianto di distribuzione della tensione di rete a 220V (50Hz) come mezzo trasmissivo (cioè come *canale di comunicazione*).



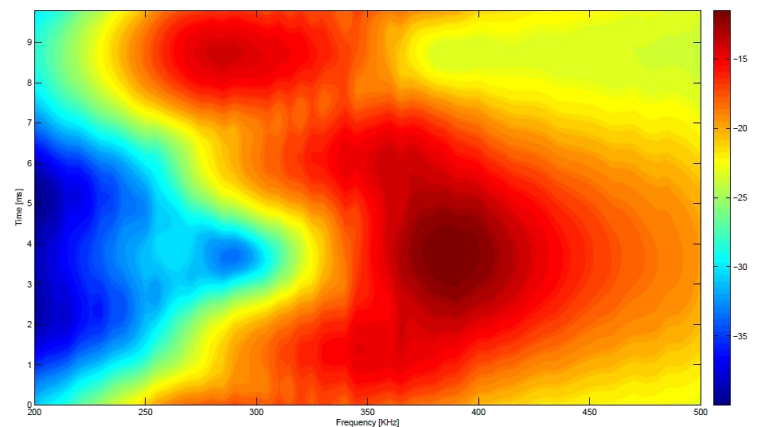
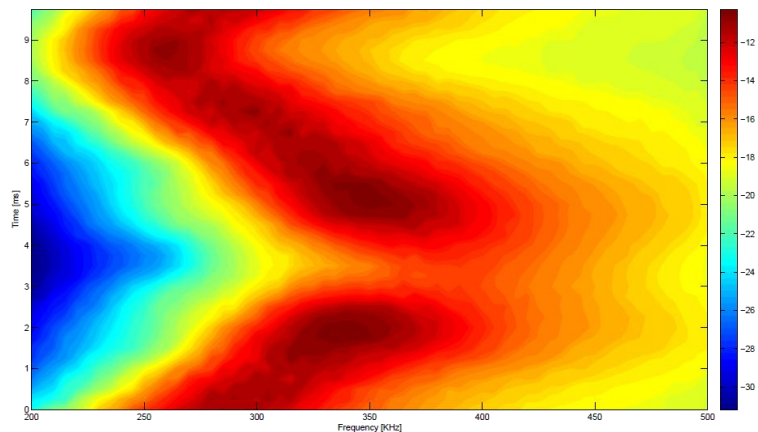
Powerline Communications

La tensione alternata di rete introduce una periodicità nella risposta in frequenza di un canale PLC.

Questo fenomeno è causato dall'impedenza d'ingresso tempo variante (alle alte frequenze) degli elettrodomestici e dei carichi di potenza connessi alla rete.

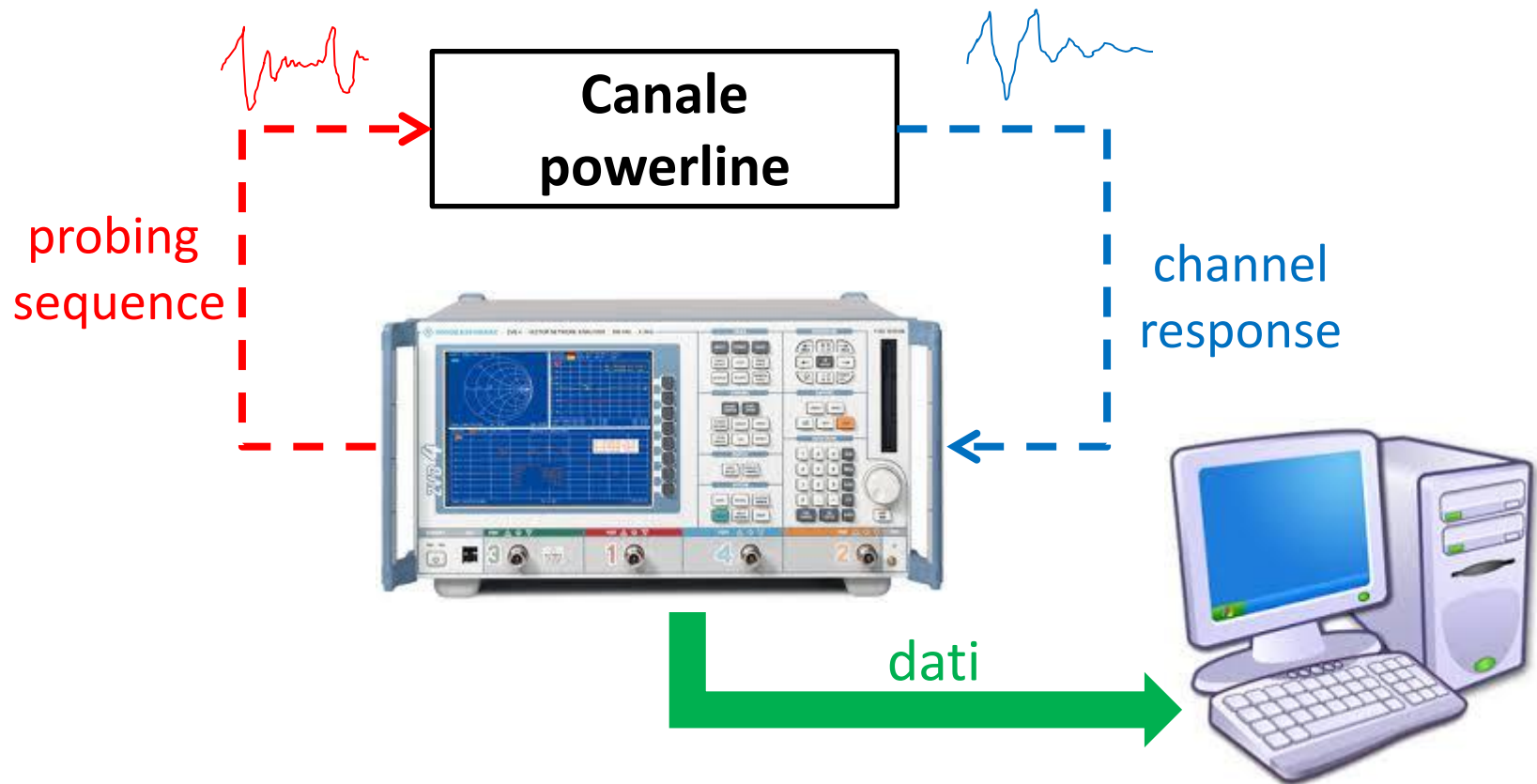
I *vector network analyzer* commerciali adatti alla misurazione della risposta in frequenza tempo variante sono piuttosto costosi (prezzo > € 20.000) e non sono sufficientemente flessibili per le nostre attività di ricerca.

Per questa ragione abbiamo deciso di sviluppare un *channel sounder* a basso costo che può essere facilmente riconfigurato in ogni sua funzionalità.



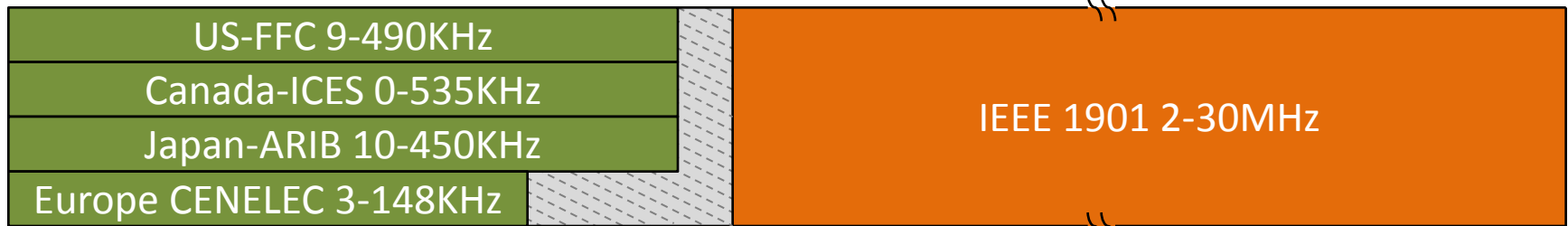
Obiettivo

Sviluppare un channel sounder a basso costo per l'analisi della risposta tempo variante dei canali powerline.



Criticità del sistema

I sistemi PLC possono trasmettere su diverse bande di frequenze



La caratterizzazione di canali con una frequenza massima pari a 30MHz richiede una frequenza di campionamento pari almeno a 60MHz. Per il channel sounder frequenza di campionamento è stata scelta una frequenza di campionamento pari a **100MHz**; ciò consente l'utilizzo di un filtro antialiasing con un roll-off contenuto.

Durante un periodo del canale PLC (10ms) vengono acquisiti **10⁶** campioni; ciascun campione viene memorizzato come un intero a 16bit. In altre parole, in un periodo il channel sounder deve acquisire **2MByte** di dati ad una bit rate di **1.6Gbps**.

Piattaforma FPGA STRATIX III

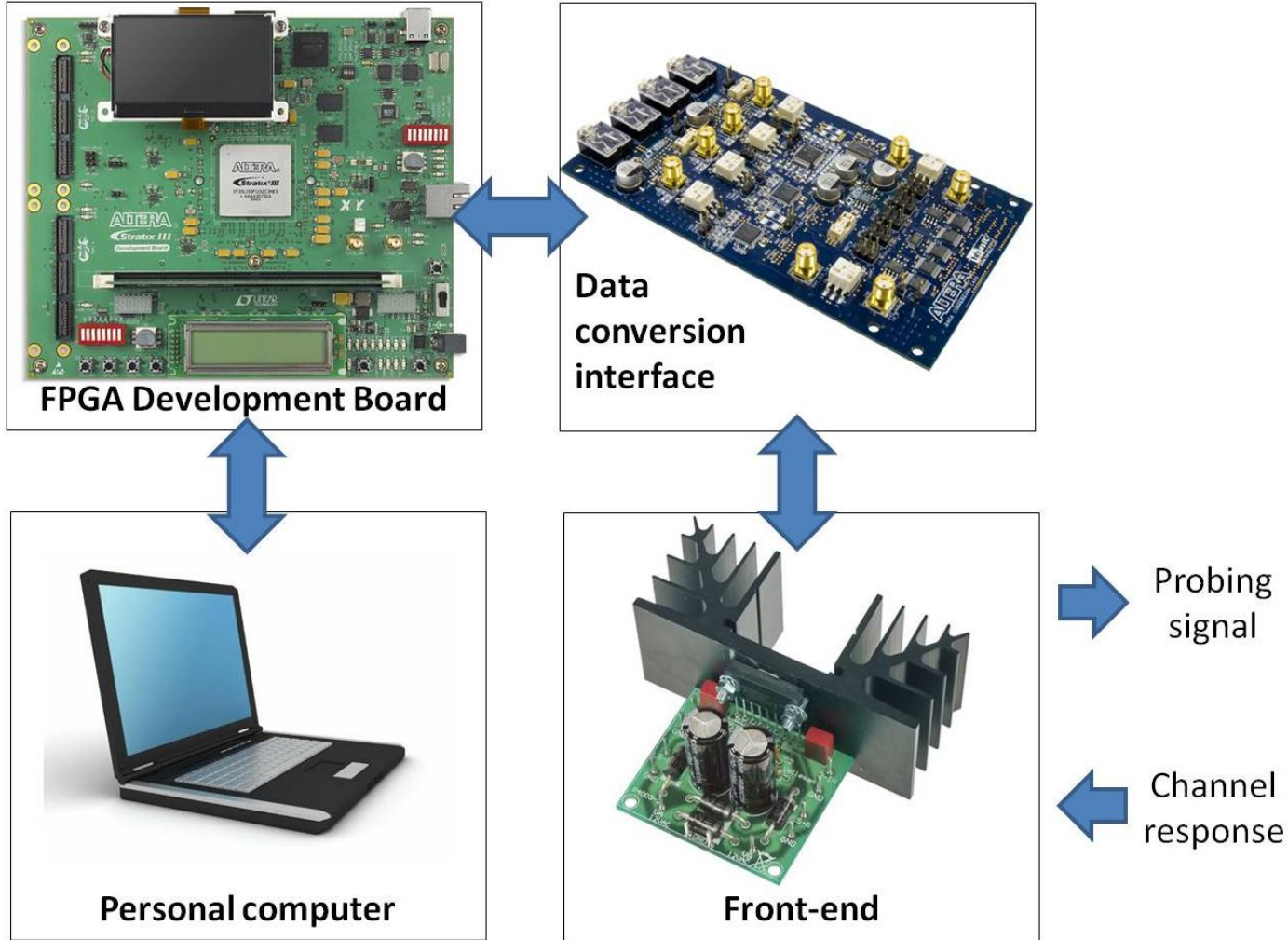


Il channel sounder è stato implementato su una scheda di sviluppo DSP dell'Altera equipaggiata con una FPGA Stratix III per i seguenti motivi:

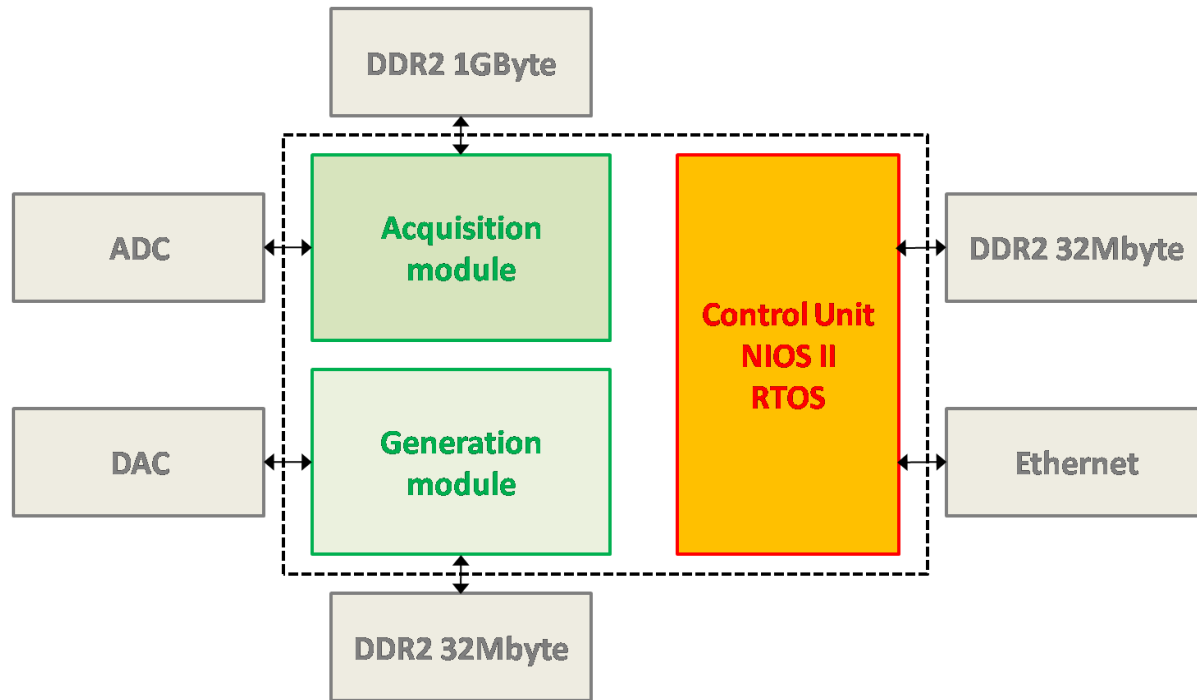
1. la piattaforma dispone di una data conversion interface HSMC dotata di 2 ADC e 2 DAC a 14 bit con frequenze di campionamento massime pari rispettivamente a 150MHz e 275MHz;
2. sono presenti 3 memorie DDR2:
 - una memoria MT9HTF12872AY-800 a 400MHz da 1GByte,
 - due memorie MT47H32M8BP-3 a 333MHz da 32MByte;
3. la scheda di sviluppo integra un transceiver Ethernet.



Architettura del sistema



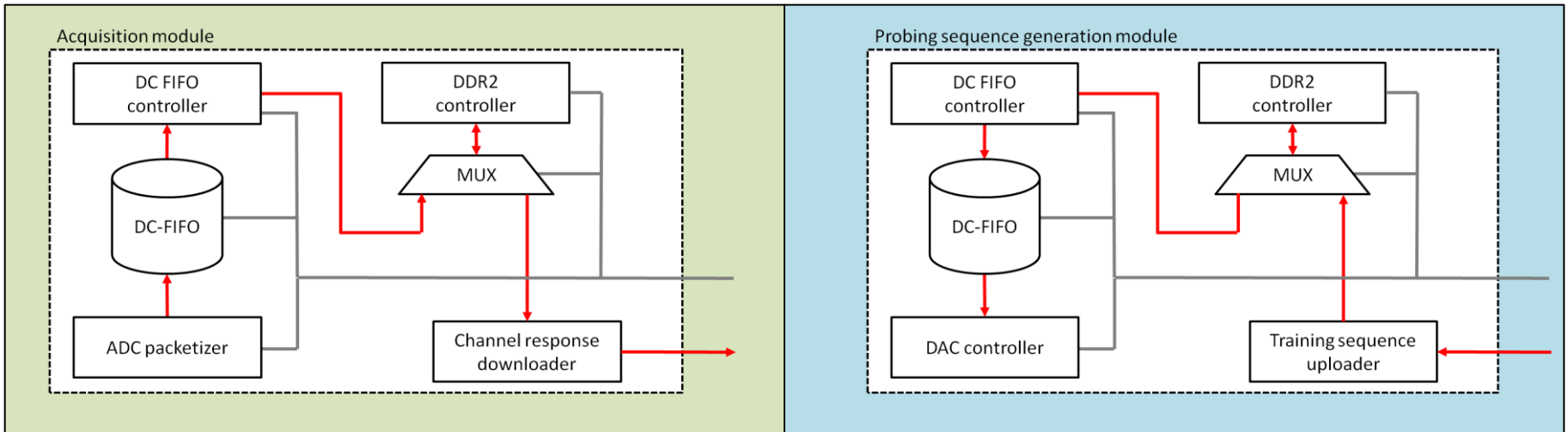
Architettura del sistema



I moduli di acquisizione della risposta di canale e di generazione della sequenza di probing devono operare in real time con l'ADC e il DAC; pertanto questi moduli sono stati implementati direttamente in codice verilog.

L'unità di controllo è stata implementata su un microprocessore Nios II, in quanto deve eseguire operazioni puramente sequenziali senza vincoli temporali stringenti.

Moduli di Acquisizione/Generazione

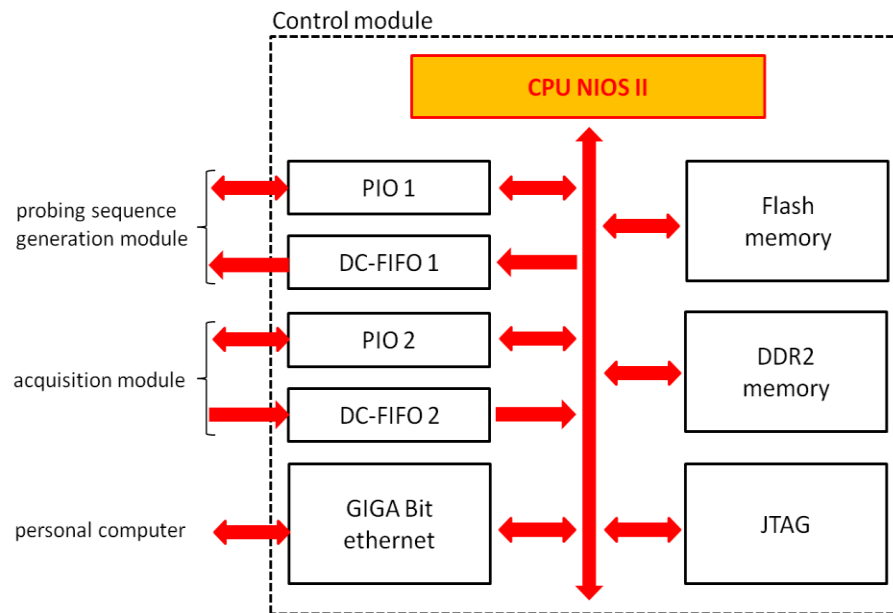


Entrambi i moduli si basano su un approccio store and forward:

- la sequenza di probing viene precaricata su una memoria DDR2 da 32MByte a cui il modulo di generazione accede direttamente in real time con il DAC;
- il modulo di acquisizione salva i campioni della risposta del canale direttamente sulla memoria DDR2 da 1GByte, e solo al termine dell'operazione di sounding i dati vengono trasferiti al PC.

In entrambi i moduli è presente una memoria Dual Channel FIFO con porte di lettura e scrittura asincrone e con parallelismi diversi. Ciò permette di interfacciare i controller DDR2 a 300MHz con il DAC e l'ADC a 100MHz.

Modulo di controllo

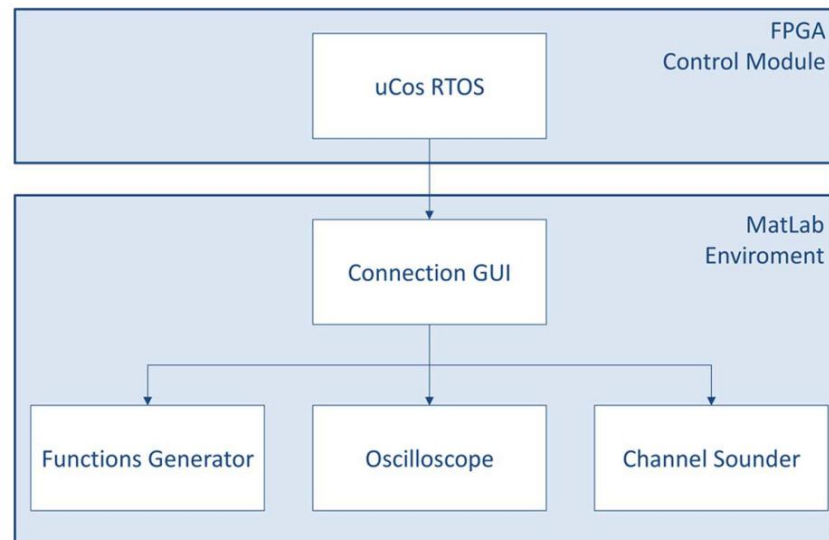


Il modulo di controllo

- gestisce il trasferimento dei dati fra le memorie DDR2 del channel sounder e il PC;
- configura i moduli di acquisizione e di generazione mediante una serie di Parallel Input Output (PIO) dedicati;
- controlla le operazioni dello strumento monitorando i flag dei moduli real time.

Modulo di controllo

- Durante l'implementazione del modulo di controllo, l'interfaccia grafica di Qsys ha reso estremamente semplice la definizione dell'architettura del sistema a microprocessore.
- L'utilizzo di un microprocessore Nios ha semplificato notevolmente l'implementazione degli algoritmi di controllo del channel sounder.
- Sul microprocessore è stato inoltre installato un Real Time Operating System (RTOS) MicroC/OS-II che ha consentito una semplice gestione della connessione Ethernet verso il PC con il NicheStack TCP/IP.



Flusso delle operazioni

1. Definizione della sequenza di training e delle opzioni sul PC.
2. Trasmissione della sequenza di training e delle opzioni dal PC al modulo di controllo
3. Caricamento della sequenza di probing nella memoria DDR2 del modulo di generazione.
4. Inizializzazione dei moduli di generazione e acquisizione secondo le opzioni.
5. Channel sounding.
6. Trasferimento dei campioni della risposta del canale dalla memoria DDR2 del modulo di acquisizione al PC.
7. Salvataggio della risposta del canale sul PC.
8. Elaborazione dei dati secondo le richieste dell'utente



MatLab



Modulo di controllo



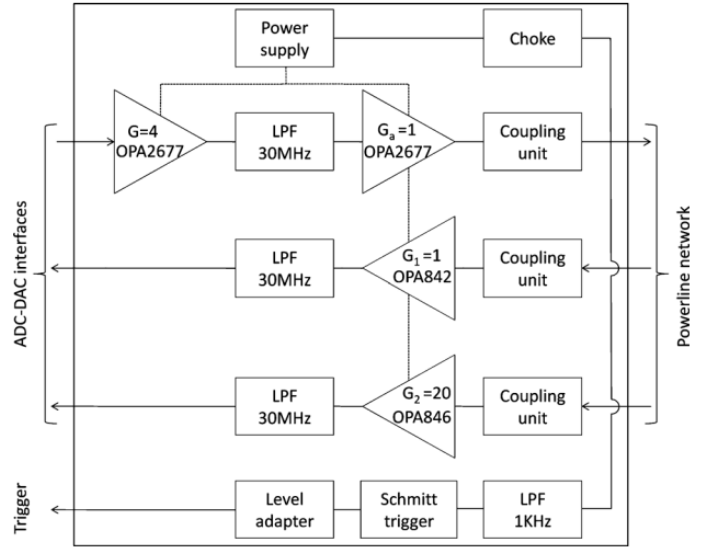
Modulo di generazione e acquisizione

Sistema sviluppato

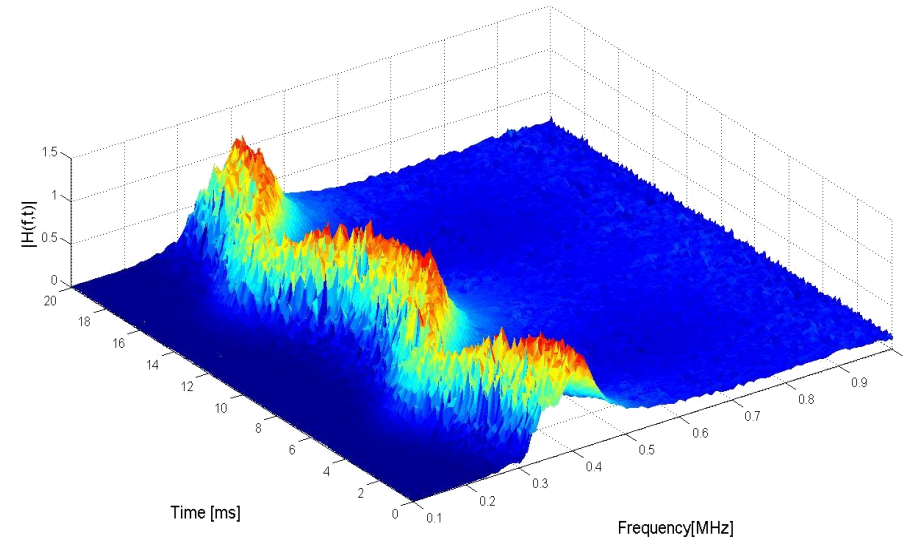
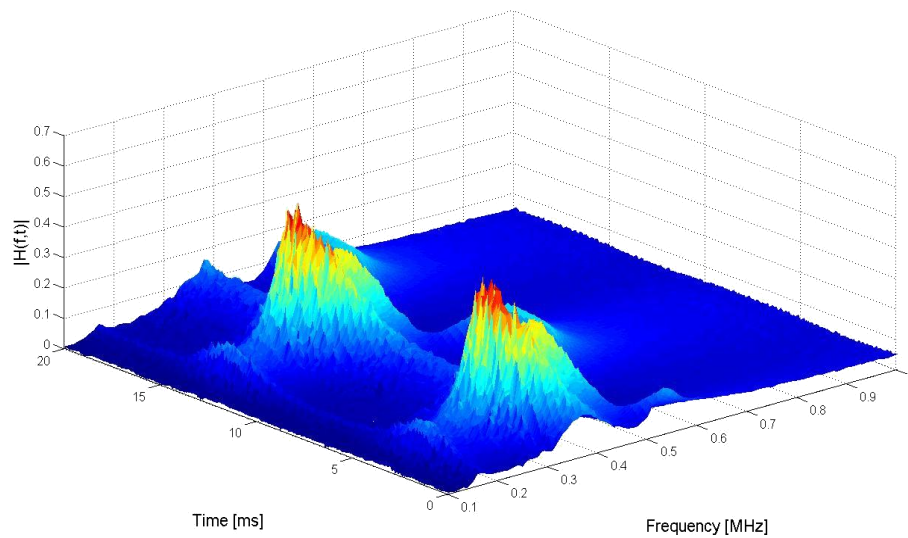


L'interfaccia di potenza

- protegge i circuiti a bassa tensione;
- amplifica il segnale in uscita al DAC;
- amplifica il segnale in ingresso all'ADC.



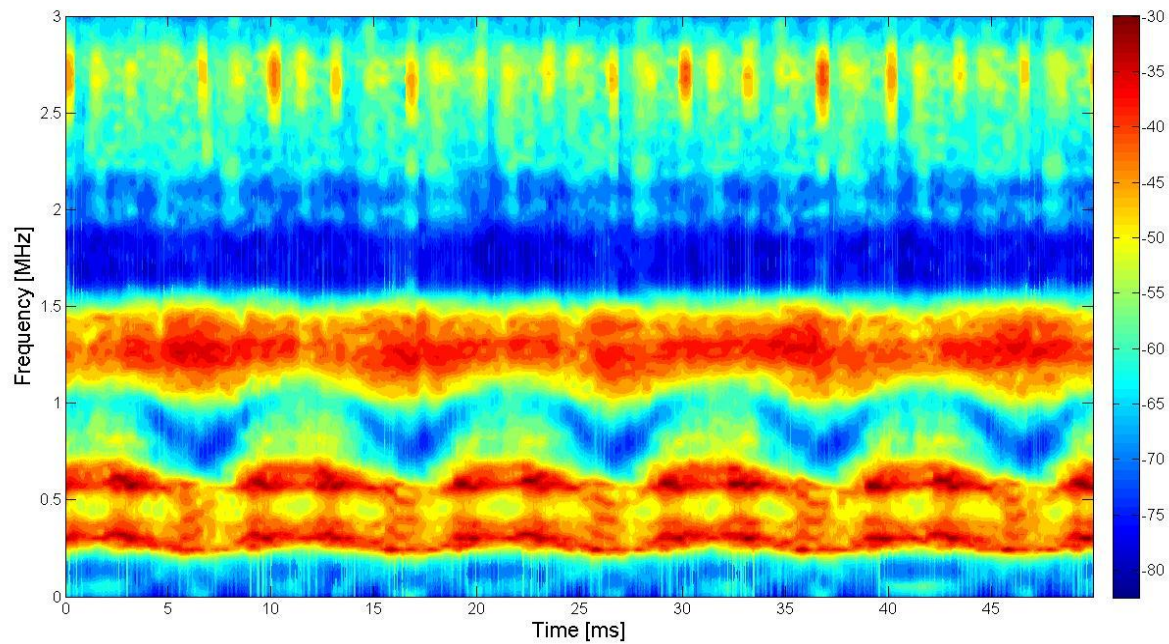
Esempi di misura



Risposte in frequenza periodicamente tempo varianti ottenute utilizzando un pettine di sinusoidi come segnale di probing.



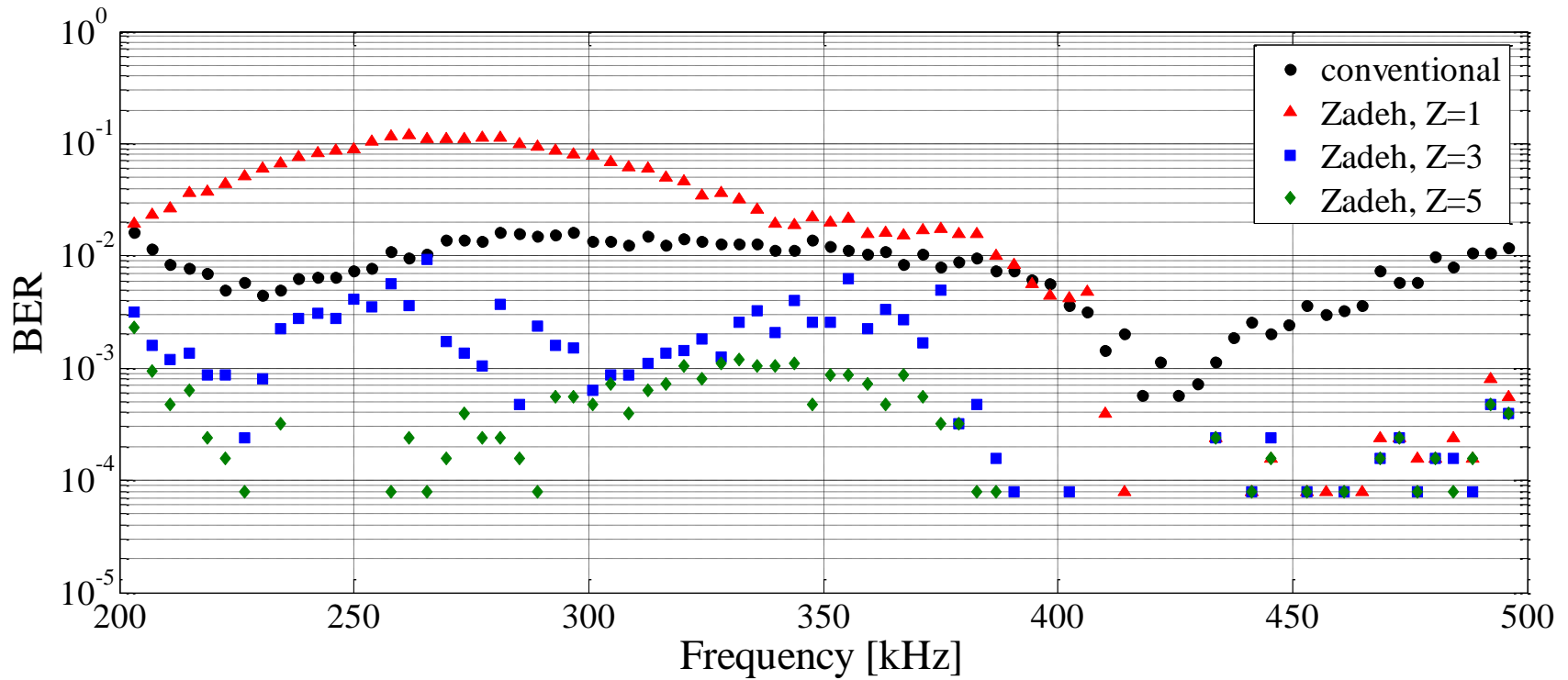
Esempi di misura



Densità spettrale di potenza di un processo rumoroso acquisito su una presa della rete elettrica



Esempi di misura



Bit error rate (BER) misurata sperimentalmente mediante invio di una sequenza di pacchetti dati sulla rete elettrica.

Conclusioni

Sono stati utilizzati i tool

- Quartus II
- Qsys
- Eclipse for Nios
- ModelSim

per sviluppare un *channel sounder* per i canali powerline.

Lo strumento sviluppato è decisamente più economico dei vector network analyzer disponibili in commercio.

Il channel sounder è estremamente flessibile; infatti

- permette di generare in Matlab una qualunque sequenza di probing;
- consente di elaborare in Matlab la sequenza acquisita.

Queste caratteristiche lo rendono adatto a funzionare anche da BER analyzer per qualunque formato di modulazione.



Il channel sounder ha permesso di analizzare vari canali powerline e di acquisire un insieme di dati sperimentali non disponibili nella letteratura tecnica. I risultati delle nostre ricerche sono stati pubblicati su prestigiose riviste e conferenze internazionali

Articoli su rivista

1. F. Gianaroli, F. Pancaldi, G. M. Vitetta, “Design and Implementation of a Wideband Channel Sounder for Low-Voltage Powerlines”, apparirà su *IEEE Transactions on Smart Grid* nel numero di Settembre 2013.
2. F. Gianaroli, F. Pancaldi, G. M. Vitetta, “The Impact of Statistical Noise Modelling on the Error Rate Performance of OFDM Powerline Communications”, in fase di revisione su *IEEE Transactions on Power Delivery*.
3. F. Gianaroli, F. Pancaldi, G. M. Vitetta, “On the Use of Zadeh's Series Expansion for Modelling and Estimation of Broadband Indoor Powerline Channels”, in fase di revisione su *IEEE Transactions on Power Delivery*.

Articoli per conferenza

1. F. Gianaroli, F. Pancaldi, G. M. Vitetta, “Broadband system models based on Zadeh's representation for indoor powerline channels: An experimental validation”, *Proc. IEEE Int. Conf. Commun. (ICC2013)*, Budapest, Hungary, June 9–13, 2013.



Prof. Giorgio M. Vitetta:

mail: giorgio.vitetta@unimore.it

tel.: 059 2056157



Dott. Fabrizio Pancaldi

mail: fabrizio.pancaldi@unimore.it

tel.: 059 2056323



Ing. Fabio Gianaroli

mail: fabio.gianaroli@unimore.it

Grazie per l'attenzione!

Grazie Altera!